PATENT ABSTRACTS OF JAPAN

(11)Publication number:

2000-310963

(43)Date of publication of application: 07.11.2000

(51)Int.CI.

G09G 3/20 G02F 1/133 G09G 3/36

(21)Application number: 2000-031745

(71)Applicant :

SEIKO EPSON CORP

(22)Date of filing:

09.02.2000

(72)Inventor:

MURAIDE MASAO

(30)Priority

Priority number: 11044986

Priority date: 23.02.1999

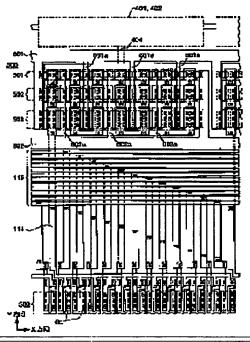
Priority country : JP

(54) DRIVING CIRCUIT OF ELECTROOPTICAL DEVICE, ELECTROOPTICAL DEVICE AND ELECTRONIC EQUIPMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To efficiently utilize an upper region of a substrate of a driving circuit incorporated type liquid crystal device in which plural data lines are simultaneously driven.

SOLUTION: One of the substrates constituting of a liquid crystal device is provided with plural latch circuits 401, which successively output transfer signals, a buffer circuit 500, which waveform refines the transfer signals that are inputted through wiring 404 and outputs as sampling control signals through signal lines 114, and sampling switches 302 which sample picture signals that are supplied to picture signal lines 115 in accordance with the sampling control signals and supply the picture signals to corresponding data lines 6a. Note that the circuit 500 consists of inverters 501 to 503 which are serially connected in three stages in the extended direction of the lines 6a. The inverter of each stage consists of seven inverters connected in parallel in the direction intersecting the extended direction of the lines 6a.



LEGAL STATUS

[Date of request for examination]

09.02.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office



PATENT ABSTRACTS OF JAPAN

(11) Publication number: 2000310963 A

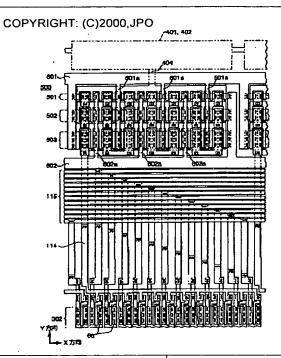
(43) Date of publication of application: 07.11.00

(54) DRIVING CIRCUIT OF ELECTROOPTICAL DEVICE, ELECTROOPTICAL DEVICE AND **ELECTRONIC EQUIPMENT**

(57) Abstract:

PROBLEM TO BE SOLVED: To efficiently utilize an upper region of a substrate of a driving circuit incorporated type liquid crystal device in which plural data lines are simultaneously driven.

SOLUTION: One of the substrates constituting of a liquid crystal device is provided with plural latch circuits 401, which successively output transfer signals, a buffer circuit 500, which waveform refines the transfer signals that are inputted through wiring 404 and outputs as sampling control signals through signal lines 114, and sampling switches 302 which sample picture signals that are supplied to picture signal lines 115 in accordance with the sampling control signals and supply the picture signals to corresponding data lines 6a. Note that the circuit 500 consists of inverters 501 to 503 which are serially connected in three stages in the extended direction of the lines 6a. The inverter of each stage consists of seven inverters connected in parallel in the direction intersecting the extended direction of the lines 6a.



(51) Int. CI

G09G 3/20 G02F 1/133 G09G 3/36

(21) Application number: 2000031745

(22) Date of filing: 09.02.00

(30) Priority: 23.02.99 JP 11044986 (71) Applicant:

SEIKO EPSON CORP

(72) Inventor:

MURAIDE MASAO

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号 特開2000-310963 (P2000-310963A)

(43)公開日 平成12年11月7日(2000.11.7)

(51) Int.Cl.7		微別記号		FΙ		テーマコード(参考)
G 0 9 G	3/20	621		G 0 9 G	3/20	6 2 1 A	
G02F	1/133	505		G 0 2 F	1/133	505	
G 0 9 G	3/36			G 0 9 G	3/36		

審査請求 有 請求項の数14 OL (全 15 頁)

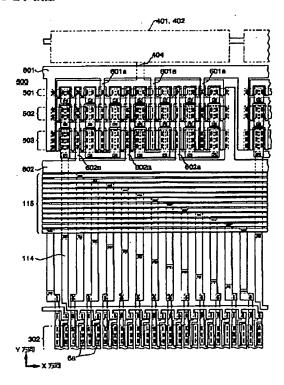
(21)出願番号	特順2000-31745(P2000-31745)	(71) 出願人	000002369 セイコーエプソン株式会社
(22)出顧日	平成12年2月9日(2000.2.9)	(72)発明者	東京都新宿区西新宿2丁目4番1号 村出 正夫
(31) 優先梅主張番号 (32) 優先日	特限平11-44986 平成11年2月23日(1999.2.23)	(12)729141	長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
(33) 優先權主張国	日本 (JP)	(74)代理人	100093388 中理士 鈴木 喜三郎 (外2名)

(54) 【発明の名称】 電気光学装置の駆動回路及び電気光学装置並びに電子機器

(57)【要約】

【課題】 駆動回路内蔵型であって、複数のデータ線を 同時駆動する液晶装置等において基板上領域を効率的に 利用する。

【解決手段】 液晶装置を構成する一方の基板には、それぞれが転送信号を順次出力する複数のラッチ回路401と、配線404を介して入力した転送信号を、波形整形して信号線114を介してサンプリング制御信号として出力するバッファ回路500と、サンプリング制御信号をサンプリングして、対応するデータ線6aに供給するサンプリングスイッチ302とを備える。ここで、バッファ回路500は、データ線6aの延在方向に3段音に、各段のインバータは、データ線6aの延在方向とは交差する方向に7個並列接続されたインバータからなる。



【特許請求の範囲】

【請求項1】 基板に複数の走査線と、複数のデータ線と、前記各走査線と前記各データ線に接続されたスイッチング素子と、前記スイッチング素子に接続された画素電極とを有する電気光学装置の駆動回路であって、前記基板に、

複数のラッチ回路を備え、各ラッチ回路が転送信号を順 次出力するシフトレジスタ回路と、

前記シフトレジスタの出力段ごとに設けられ、前記転送 信号をサンプリング制御信号として出力する論理回路が 10 2個以上、前記データ線の延在方向とは交差する方向に 並列接続されてなるバッファ回路と、

前記データ線のそれぞれに接続され、前記サンプリング 制御信号にしたがい画像信号をサンプリングして、対応 するデータ線に供給するサンプリングスイッチであっ て、相隣接する複数本のデータ線に接続される複数個が 同時に駆動されるサンプリングスイッチとを具備するこ とを特徴とする電気光学装置の駆動回路。

【請求項2】 前記論理回路を構成するトランジスタは、チャネルの幅方向が前記データ線の延在方向に形成 20 されてなることを特徴とする請求項1記載の電気光学装置の駆動回路。

【請求項3】 2個以上並列接続された論理回路のうち、相隣接する論理回路は、電源配線の一方を共用することを特徴とする請求項2記載の電気光学装置の駆動回路。

【請求項4】 前記バッファ回路は、

2個以上並列接続された論理回路が、データ線の延在方向に複数段直列接続されたものであることを特徴とする 請求項1記載の電気光学装置の駆動回路。

【請求項5】 ある一の段の論理回路を構成するトランジスタのチャネル幅は、その前段の論理回路を構成するトランジスタのチャネル幅よりも広いことを特徴とする請求項4記載の電気光学装置の駆動回路。

【請求項6】 1段分において並列接続される論理回路の個数は、全段にわたって互いに等しいことを特徴とする請求項5記載の電気光学装置の駆動回路。

【請求項7】 全段の論理回路のうち、同列に位置する 論理回路は、前記データ線の延在方向に形成された電源 配線を互いに共用することを特徴とする請求項6記載の 電気光学装置の駆動回路。

【請求項8】 前記論理回路は、相補型トランジスタからなることを特徴とする請求項1乃至7のいずれか記載の電気光学装置の駆動回路。

【請求項9】 前記ラッチ回路による転送信号の信号幅を、所定の期間に制限して前記バッファ回路に供給する位相調整回路を、

さらに備えることを特徴とする請求項1乃至8のいずれ か記載の電気光学装置の駆動回路。

【請求項10】 前記基板には、前記画像信号を供給す 50 チ回路の駆動能力がサンプリングスイッチを駆動するの

る複数本の画像信号線が前記走査線に沿って配列される 一方。

前記バッファ回路は、前記複数本の画像信号線と前記シフトレジスタ回路との間における前記基板領域に形成されることを特徴とする請求項1乃至9のいずれか記載の電気光学装置の駆動回路。

【請求項11】 前記画像信号は、シリアルーパラレル変換されて、複数本の画像信号線を介して供給されることを特徴とする請求項1乃至10のいずれか記載の電気光学装置の駆動回路。

【請求項12】 請求項1乃至11のいずれか記載の電 気光学装置の駆動回路を備えたことを特徴とする電気光 学装置。

【請求項13】 前記基板には、

マトリクス状に配置された画素電極と、

前記画素電極および前記データ線の間に介揮されるとと もに、前記走査線に供給される走査信号にしたがって開 閉するトランジスタとをさらに備えることを特徴とする 請求項12記載の電気光学装置。

【請求項14】 請求項13または14記載の電気光学 装置を備えたことを特徴とする電子機器。

【発明の詳細な説明】

[0001]

【発明の属する技術分野】本発明は、高品位な表示とと もに、形成領域において無駄な領域の発生を防止した電 気光学装置の駆動回路、および、この駆動回路を内蔵す る電気光学装置、並びに、この電気光学装置を用いた電 子機器に関する。

【従来の技術】従来の電気光学装置、例えば、液晶装置

[0002]

ものである。

30

の駆動回路は、画像表示領域に配設されたデータ線や走査線などに、画像信号や走査信号などを所定タイミングで供給するデータ線駆動回路や、走査線駆動回路、サンプリング回路などから構成されている。このうち、データ線駆動回路は、一般には、複数のラッチ回路(シンスタ回路)を備え、水平走査期間の最初に供給される転送信号をクロック信号に応じて順次シフトして、これをサンプリング制御信号として出力するものである。また、サンプリング回路は、各データ線毎に設けられるサンプリング用のスイッチからなり、外部から供給される画像信号を、サンプリング制御信号

【0003】また、ラッチ回路とサンプリング回路との間に、バッファ回路を介在させて、転送信号を波形整形して前述のサンプリング制御信号とするとともに、ラッ

にしたがってサンプリングして、各データ線に供給する

に十分でなくても、サンプリングスイッチの負荷に十分 対応可能な構成も採用されている。

【0004】一方、これら駆動回路自体を、電気光学装置を構成する基板上に設けた駆動回路内蔵型の電気光学装置が開発されている。このタイプの電気光学装置では、製造プロセスを効率化するなどの観点から、駆動回路を構成する素子が、画素を駆動するスイッチング素子と共通プロセスで製造される。例えば、電気光学材料として液晶を用いた液晶装置において駆動回路を構成する素子は、液晶画素を駆動する薄膜トランジスタ(Thin Film Transistor:以下「TFT」と称する)などによって構成される。このような駆動回路内蔵型の電気光学装置は、駆動回路を別基板上に形成して外付けするタイプの電気光学装置と比較して、装置全体の小型化やコスト低下を図る上で有利である。

【0005】さて近年、電気光学装置に限られず表示装置全般にあっては、例えばXGA(1024×768ドット)や、SXGA(1280×1024ドット)、UXGA(1600×1200ドット)などのように、髙精細化の要請が髙まっており、これに対応して、電気光学装置のドット周波数を高める必要が生じている。ここで、上記駆動回路内蔵型の電気光学装置において、ドット周波数を髙めると、前述したサンプリングスイッチのサンプリング能力不足や、駆動回路を構成する素子の動作遅延などが発生して、例えば、本来次のデータ線に書き込まれるべき画像信号が、前のデータ線にも書込まれるべき画像信号が、前のデータ線にも書込まれるが発生して、例えば、本来次のデータ線に書き込まれるべき画像信号が、前のデータ線にも書込まれるが発生して、初えば、本来次のデータ線にも書込まれるであるでは、カンプリングスイッチや駆動回路の構成素子の性能自体を高めるのでは、コストの顕著な上昇を招いてしまう。

【0006】そこで最近では、1系統の画像信号を複数系統に分配するとともに、時間軸に伸長(シリアルーパラレル変換)する一方、サンプリング回路においては複数系統の画像信号を同時にサンプリングして、複数本のデータ線に同時に供給する技術が開発されている。この技術によれば、同時駆動されるデータ線の本数倍となるので、各サンプリングスイッチによるサンプリングスイッチによるサンプリングスイッチを、駆動回路における駆動周波数が、実質的に、同時駆動されるデータ線の逆数にまで低下する。このため、サンプリングスイッチや、駆動回路の構成素子、画素の駆動素子などの性能自体を向上させることなく、高ドット周波数化に対処することが可能となる。

【0007】このように複数のデータ線を同時駆動する場合、複数のサンプリングスイッチに対して同時に、あるいは、同一のサンプリング制御信号を供給する必要がある。このため、ラッチ回路とサンプリングスイッチとの間に介在するバッファ回路の駆動能力を、複数のサンプリングスイッチの負荷合計に応じて高めることが必要となる。

【0008】ここで、バッファ回路の駆動能力を高める 方策としては、まず、バッファ回路を構成する論理回 路、例えばインバータを構成する素子を、大サイズ化す ることが考えられる。ただし、この方策において、駆動 回路の構成素子を単純に大サイズ化したのでは、今度 は、この構成素子を駆動することになるラッチ回路の駆 動能力を髙める必要性が生じてしまい、複数ラッチ回路 からなるシフトレジスタ回路の低消費電力化という、当 該電気光学装置の技術分野における一般的要請とは相矛 盾する結果を招く。そこで、複数のインバータを直列に 多段接続してバッファ回路を構成して、バッファ回路の 駆動能力を各段毎に段階的に髙める構成が採用されてい る。すなわち、バッファ回路において、ラッチ回路側の 段のインバータを構成する素子サイズが小さい一方、か つ、サンプリングスイッチ側の段のインバータを構成す る素子サイズが大きい構成が採用されている。

4

[0009]

30

【発明が解決しようとする課題】しかしながら、直列に 多段接続されたインバータから構成されるバッファ回路 を、上記駆動回路内蔵型の電気光学装置に設けようとす ると、基板領域において、バッファ回路が大型化するた め、バッファ回路による占有面積や非有効利用面積の増 加が問題となる。特に、バッファ回路が形成される領域 は、通常、画像信号線とシフトレジスタ回路との間に介 在する領域であるために、データ線の延在方向とは交差 する方向に長手となる。したがって、単に、データ線の 延在方向に長手状に伸びる素子から各段のインバータを 形成するとともに、これをデータ線の延在方向に複数段 直列に接続しただけの構成では、当該領域おいて非有効 利用面積の割合が顕著に大きくなってしまう。そして、 最終的には、画像表示領域の一端外側にデータ線駆動回 路が形成されるので、非画像表示領域が広がることにな り、装置全体の小型軽量化や、同一装置サイズにおける 画像表示領域の大型化という、当該電気光学装置の一般 的要請に相矛盾する結果を招くことになる。

【0010】本発明は、上述した事情に鑑みてなされたものであり、その目的とするところは、駆動回路内蔵型であって、かつ、複数のデータ線を同時駆動する液晶装置等の電気光学装置において、基板領域を効率的に利用して、装置全体を小型化することが可能な電気光学装置の駆動回路、及び、この駆動回路を内蔵する電気光学装置、並びに、この電気光学装置を有する電子機器を提供することにある。

[0011]

【課題を解決するための手段】上記目的を達成するために本発明に係る電気光学装置の駆動回路は、基板に複数の走査線と、複数のデータ線と、前記各走査線と前記各データ線に接続されたスイッチング素子と、前記スイッチング素子に接続された画素電極とを有する電気光学装置の駆動回路であって、前記基板に、複数のラッチ回路

を備え、各ラッチ回路が転送信号を順次出力するシフトレジスタ回路と、前記シフトレジスタの出力段ごとに設けられ、前記転送信号をサンプリング制御信号として出力する論理回路が2個以上、前記データ線の延在方向とは交差する方向に並列接続されてなるバッファ回路と、前記データ線のそれぞれに接続され、前記サンプリング制御信号にしたがい画像信号をサンプリングスイッチであって、相隣接する複数本のデータ線に接続される複数個が同時に駆動されるサンプリングスイッチとを具備することを特徴としている。

【0012】本発明によれば、サンプリング制御信号が、相隣接する複数(ここでは、便宜的に「p」として説明する)本のデータ線に接続されたp個のサンプリングスイッチに同時に供給される。この際、シフトレジスタ回路により転送信号が順次出力され、この転送信号がバッファ回路を介して、サンプリング制御信号として、一方される。そして、画像信号が、各サンプリングスイッチにより、サンプリング制御信号にしがたってサンプリングされて、当該p本のデータ線にそれぞれ供給される。このように、p個のサンプリングスイッチが同時に駆動されるので、高ドット周波数の画像信号に対しても、データ線の駆動が容易となる。

【0013】さらに、サンプリング制御信号は、p個のサンプリングスイッチ毎に供給されるので、バッファ回路は、データ線のピッチではなく、そのp倍のピッチで、シフトレジスタ回路のラッチ回路毎に設ければ済むことになる。このため、バッファ回路が形成される領域において、データ線と交差する方向の長さは、従来のようにサンプリングスイッチを1個ずつ駆動する方式と比較して、十分に確保される。そして、このデータ線と交差する方向に、バッファ回路を構成する論理回路が2個以上並列接続されるので、基板領域の効率的利用ともに、駆動能力の向上が図られることとなる。なお、本発明における論理回路とは、インバータや、バッファ、NANDゲートのような単体回路のほか、これらを2個以上適宜組み合わせた回路も含む。

【0014】さて、本発明において、前記論理回路を構成するトランジスタは、チャネルの幅方向が前記データ線の延在方向に形成されてなることが望ましい。バッファ回路の駆動能力は、一般に、それを構成するトランジスタのサイズ、特にチャネル幅で規定されるが、本発明では、トランジスタのチャネル幅方向がデータ線の延在方向となるように、当該トランジスタが形成されているので、比較的容易に必要なチャネル幅を確保することができる。

【0015】このような構成にあっては、2個以上並列接続された論理回路のうち、相隣接する論理回路は、電源配線の一方を共用することが望ましい。このように構成すれば、それだけ基板領域がそれだけ効率的に活用で50

きるからである。なお、このように電源配線の一方を共 用するためには、相隣接する論理回路を、共用される電 源配線を中心に対称化して配置させれば、容易に構成可 能である。特に、後述するように、論理回路を相補型ト ランジスタで構成する場合に有効な措置といえる。

【0016】ところで、本発明では、バッファ回路が形成される領域のうち、データ線と交差する方向の長さについては、上述のように、サンプリングスイッチを1個ずつ駆動する従来方式と比較すると、十分に確保されるが、同時駆動されるサンプリングスイッチの個数pによってほぼ一義的に定まってしまう。このため、1段において並列接続可能な論理回路の個数を、無制限に増加させることができないので、本発明においては、前記バッファ回路は、2個以上並列接続された論理回路が、データ線の延在方向に複数段直列接続されたものであることが望ましい。このように構成すると、基板領域の効率的利用を図りつつ、バッファ回路の駆動能力を高いものとすることが可能となる。

【0017】また、このような態様にあっては、ある一の段の論理回路を構成するトランジスタのチャネル幅は、その前段の論理回路を構成するトランジスタのチャネル幅よりも広いことが望ましい。このように構成すると、論理回路を構成するトランジスタのサイズが各段毎に段階的に大きくなるので、バッファ回路全体の駆動能力を高めることができる。このため、サンプリング制御信号によって同時駆動可能なサンプリングの数を増えるとが可能となる。一方、初段の論理回路を構成するトランジスタのサイズは、比較的小さくて済むため、このトランジスタに転送信号を供給するラッチ回路の駆動能力は、低くても構わない。このため、複数のラッチ回路を備えるシフトレジスタ回路にあっては、回路規模が縮小されるとともに、低消費電力化が図られることとなる

【0018】なお、直列接続の段数が増加するにつれ、これらの論理回路を構成するトランジスタによる遅延時間の合計も増加する。このため、実際には、この遅延時間の合計が最終的に表示画像に悪影響を与えないように、かつ、ドット周波数や、必要とされる仕様、さらには画像品位などを総合的に勘案して、直列接続の段数を定めるようにすることが望ましい。

【0019】また、直列接続される構成において、1段分において並列接続される論理回路の個数は、全段にわたって互いに等しいことが望ましい。このように構成すると、論理回路が、データ線の延在方向およびこの交差方向にマトリクス状に配置するので、バッファ回路における設計が容易となる。さらに、各段分の論理回路を、データ線の延在方向と交差する方向において、限度一杯に並列接続すると、基板領域を限度一杯に利用することが可能となる。

【0020】さらに、論理回路がマトリクス状に配置す

る構成において、全段の論理回路のうち、同列に位置す る論理回路は、前記データ線の延在方向に形成された電 源配線を互いに共用することが望ましい。このように構 成すると、バッファ回路の設計が容易となるだけでな く、共用される電源配線の分だけ、基板領域が有効に活 用されるためである。なお、このように同列に位置する **論理回路において電源配線を共用するためには、2つの** 電源配線を、互いに櫛歯状に対向させて配設する構成で 可能である。特に、この構成では、同段の論理回路のう ち、相隣接する論理回路において、一方の電源配線が共 用されるので、電源配線の引き回しが非常に簡略化され ることとなる。

【0021】一方、本発明に係る駆動回路の論理回路 は、相補型トランジスタからなることが望ましい。これ によれば、相補型トランジスタにより、各論理回路の入 カインピーダンスを髙めることができ、駆動能力の小さ いラッチ回路からの転送信号に基づいて、当該相補型ト ランジスタを介して髙負荷のサンプリングスイッチが駆 動可能となる。

【0022】また、本発明に係る駆動回路にあっては、 前記ラッチ回路による転送信号の信号幅を、所定の期間 に制限して前記バッファ回路に供給する位相調整回路 を、さらに備えることが望ましい。これによれば、位相 調整回路によって転送信号の信号幅(信号がアクティブ レベルとされる時間)が所定の期間に制限されるので、 ラッチ回路から相前後して出力される転送信号同士の重 複が低減される。このため、本来、異なるサンプリング 制御信号によって駆動されるべきデータ線に、同時に同 一の画像信号がサンプリングされるという事態が防止さ れるので、クロストークやゴーストなどの発生が未然に 抑えられることとなる。

【0023】加えて、本発明に係る駆動回路にあって は、前記基板には、前記画像信号を供給する複数本の画 像信号線が前記走査線に沿って配列される一方、前記バ ッファ回路は、前記複数本の画像信号線と前記シフトレ ジスタ回路との間における前記基板領域に形成されるこ とが望ましい。これによれば、バッファ回路は、複数本 の画像信号線とシフトレジスタ回路との間における基板 上の領域に形成されるので、複数本の画像信号線や走査 線に沿った横長の領域に、論理回路は複数並列接続され 40 る結果、基板領域の効率的利用とともに、髙駆動能力化 が図られることとなる。

【0024】一方、本発明に係る駆動回路にあっては、 シリアルーパラレル変換されて、複数本の画像信号線を 介して供給されることが望ましい。これによれば、画像 信号は、複数系統に変換されるので、実質的に時間軸に 余裕が生じるので、ドット周端数が高い場合であって も、比較的性能の低いサンプリングスイッチを用いるこ とが可能となる。

係る電気光学装置にあっては、上記駆動回路を備えたこ とを特徴としている。本発明によれば、基板の効率的利 用が図られるので、装置全体の小型化や、同一サイズの 装置における画像表示領域の大型化とともに、高品位の 画像表示が可能となる。

【0026】ここで、本発明にあっては、前記基板に は、マトリクス状に配置された画素電極と、前記画素電 極および前記データ線の間に介挿されるとともに、前記 走査線に供給される走査信号にしたがって開閉するトラ ンジスタとをさらに備えることが望ましい。この構成に よれば、トランジスタによりオン画素とオフ画素とを電 気的に分離できるので、髙コントラストでクロストーク のない高品位でかつ、髙精細な表示が可能となる。

【0027】さらに、上記目的を達成するため本発明に 係る電気機器にあっては、上記電気光学装置を備えるこ とを特徴としているので、ゴーストやクロストークのな い高品位な表示が可能となる。

[0028]

20

30

【発明の実施の形態】以下、本発明の実施の形態につい て、図面を参照して説明する。

【0029】<液晶装置>まず、本発明に係る電気光学 装置として、液晶装置を一例にとって説明する。液晶装 置の構成は、後述するように、TFTアレイ基板と対向 基板とが互いに電極形成面を対向させて、かつ、一定の 間隙を保って貼付されて、この間隙に液晶が挟持された 構成となっている。このうち、TFTアレイ基板の画像 表示領域にあっては、図1に示されるような等価回路と なっている。

【0030】この図に示されるように、m本の走査線3 aが、X方向に沿って平行に配列して形成される一方、 n本のデータ線6aが、Y方向に沿って平行に配列して 形成されている。そして、これらの走査線3aとデータ 線6aとの各交点においては、TFT30のゲートが走 査線3aに接続される一方、TFT30のソースがデー タ線6aに接続されるとともに、TFT30のドレイン が画素電極9aに接続されている。そして、各画素は、 画素電極9 a と、対向基板に形成される対向電極(後述 する)と、これら両電極間に挟持された液晶とによって 構成される結果、走査線3aとデータ線6aとの各交点 に対応して、マトリクス状に配列することとなる。

【0031】ここで、本実施形態に係る液晶装置におい て、特に、データ線6aにサンプリングされた画像信号 S1、S2、…、Snは、当該液晶装置に画像信号S 1、S2、…、Snを供給する画像信号処理回路内のシ リアルーパラレル変換回路(図示省略)によって、予め シリアルーパラレル変換されて12系統に分配されたも のであって、相隣接する12本のデータ線6aからなる グループ毎に、同時に供給されるものである。なお、シ リアルーパラレル変換数については一般には、ドット周 【0025】また、上記目的を達成するため、本発明に 50 波数が相対的に低ければ(あるいは後述のサンプリング

30

40

回路におけるサンプリング能力が相対的に高ければ)、例えば「3」や「6」のように小さな値に設定しても良い。逆に、ドット周波数が相対的に高ければ(あるいはサンプリング能力が相対的に低ければ)、例えば「24」のように大きな値に設定してもよい。また、シリアルーパラレル変換数としては、カラー画像信号が3つの色に係る信号からなることとの関係から、3の倍数であると、ビデオ表示をする際の制御や回路構成を簡易化する上で好ましい。さらに、近時のXGAや、SXGA、UXGAなどのように高ドット周波数の場合、既存のTFT製造技術に鑑みれば、本実施形態である「12」や、ほかに「24」のような大きな値に設定するのが好ましい。

【0032】また、TFT30のゲートが接続される走査線3aには、走査信号G1、G2、…、Gmが、パルス的に線順次で印加される構成となっている。このため、ある走査線3aに走査信号が供給されると、当該走査線3aに接続されるTFT30がオンするので、データ線6aから所定のタイミングで供給される画像信号S1、S2、…、Snは、対応する画素に順番に書き込まれた後、所定の期間保持されることとなる。

【0033】ここで、各画素に印加される電圧レベルに応じて液晶分子の配向や秩序が変化するので、光変調による階調表示が可能となる。例えば、液晶を通過する光量は、ノーマリーホワイトモードであれば、印加電圧が高くなるにつれて制限される一方、ノーマリーブラックモードであれば、印加電圧が高くなるにつれて緩和されるので、液晶装置全体では、画像信号に応じたコントラストを持つ光が各画素毎に出射される。このため、所定の表示が可能となっているのである。

【0034】また、保持された画像信号がリークするのを防ぐために、蓄積容量70が、画素電極9aと対向電極との間に形成される液晶容量と並列に付加される。例えば、画素電極9aの電圧は、ソース電圧が印加された時間よりも3桁も長い時間だけ蓄積容量70により保持されるので、保持特性が改善される結果、高コントラスト比が実現されることとなる。

【0035】次に、本実施形態に係る液晶装置の駆動回路について説明する。図2は、TFTアレイ基板の構成を、特に、画像表示領域の外側周辺に形成される駆動回路の構成を示すブロック図である。

【0036】この図に示されるように、TFTアレイ基板10には、走査線3aおよびデータ線6aの交差領域たる画像表示部100aが設けられており、その外側周辺には、データ線駆動回路101、走査線駆動回路104およびサンプリング回路301を含む駆動回路200が設けられている。すなわち、本実施形態は、TFTアレイ基板10上に、駆動回路200が形成された駆動回路内蔵型のTFTアクティブマトリクス駆動方式の液晶装置である。

【0037】さて、駆動回路200のうち、走査線駆動回路104は、1垂直走査期間において、走査信号G1、G2、…、Gmを、走査線3aに対しパルス的に線順次で供給するものである。一方、データ線駆動回路101は、1水平走査期間において、すなわち、走査線駆動回路104が1本の走査線3aに走査信号を供給している期間において、サンプリング制御信号X1、X2、…、Xnを、サンプリング制御信号線114に対し順次供給するものである。

【0038】また、サンプリング回路301は、データ線6a毎にサンプリングスイッチ302を備えて、画像信号線115に供給される画像信号を、サンプリング制御信号X1、X2、…、Xnにしたがってサンプリングして、対応するデータ線6aに供給するものである。ここで、本実施形態にあっては、上述のように1系統の画像信号VID1~VID12にシリアルーパラレル変換されるため、相隣接する12本のデータ線6aに接続される12個のサンプリングスイッチ302が、同一のサンプリング制御信号によって同り駆動されて、当該12本のデータ線6aの各々に、画像信号VID1~VID12がそれぞれサンプリングされて供給される構成となっている。

【0039】〈データ線駆動回路〉次に、データ線駆動回路101の詳細について説明する。図3は、データ線駆動回路101の構成を示すブロック図である。図3に示されるように、データ線駆動回路101は、転送信号を順次出力するシフトレジスタ回路400と、順次出力された転送信号を波形整形するバッファ回路500とを備えている。このうち、シフトレジスタ回路400は、直列接続された複数段のラッチ回路401から構成されており、各ラッチ回路401は、実際には、クロック信号CLXおよびその反転クロック信号CLX'にしたがって入力信号の取込・保持を行う遅延型フリップフロップ回路などが用いられる。

【0040】さらに、データ線駆動回路101には、位相調整回路402が設けられる。この位相調整回路402は、各ラッチ回路401の出力に対応して設けられるNAND回路403は、対応するから数えて奇数段目のNAND回路403は、対応するラッチ回路401から入力される転送信号ST $_{2i-1}$ (ただし、iは自然数)と位相調整信号ENB1との否定論理積信号を、一方、左から数えて偶数段目のNAND回路403は、対応するラッチ回路401から入力される転送信号ST $_{2i}$ と位相調整信号ENB2との否定論理積信号を、それぞれ配線404を介してバッファ回路500に供給している。

【0041】また、バッファ回路500は、各NAND回路403に対応して設けられ、直列接続された3段のインバータ501~503からなり、位相調整回路402による出力信号を波形整形等して、サンプリング制御

11

信号線114を介してサンプリング制御信号として出力する。ここで、各インバータ501~503では、後述するように、それを構成するTFTのサイズが後段となるにつれて大きくなるように形成されているため、バッファ回路500全体でみれば、駆動能力が高い一方で、その入力インピーダンスが低く抑えられている。

【0042】次に、このような構成されたデータ線駆動 回路101の動作について説明する。図4は、データ線 駆動回路101の動作を説明するためのタイミングチャ ートである。この図に示されるように、スタートパルス SPが、1水平走査期間の最初において、画像信号VI D1~VID12に同期して外部の画像信号処理回路か ら供給されると、図3において最左端に位置するラッチ 回路401は、X側基準クロック信号CLX(および、 その反転クロック信号CLX') に基づく転送動作を開 始して、転送信号ST1を出力するとともに、この転送 信号を左から数えて第2段目のラッチ回路401に供給 する。次に、第2段目のラッチ回路401は、転送信号 ST1を、クロック信号CLXの半周期だけシフトさせ て、転送信号ST2として出力するとともに、この転送 信号を左から数えて第3段目のラッチ回路401に供給 する。そして、以下同様な転送動作が各段のラッチ回路 401において繰り返される結果、1水平走査期間にお いて、転送信号ST1、ST2、…、STnが順次出力 されることとなる。

【0043】さらに、このように順次出力される転送信号ST1、ST2、…、STnは、位相調整回路402によって、位相調整信号ENB1またはENB2のパルス幅に制限された後、バッファ回路500によって波形整形されて、サンプリング制御信号X1、X2、…、Xnとして、トランジスタ等で形成されるサンプリング回路301に供給されることとなる。

【0044】本実施形態では、特に、位相調整回路402によるパルス幅の制限により、相前後するサンプリング制御信号X1、X2、…、Xnのパルス間隔は、図4に示されるように時間的に隔絶されるため、これらの信号パルスの重複に起因するクロストークやゴーストなどの発生が未然に防止される。すなわち、サンプリング制御信号X1、X2、…、Xnが重複していると、本来、あるグループのデータ線にサンプリングされるべき画像40信号が、そのグループの前後に位置するグループのデータ線に対してもサンプリングされてしまうため、クロストークやゴーストなどが発生して表示品位が低下するが、本実施形態によれば、サンプリング制御信号X1、X2、…、Xnのパルスが時間的に隔絶されて出力されるため、クロストークやゴーストなどの発生が未然に防止されることとなる。

【0045】また、ラッチ回路401や位相調整回路4 02の駆動能力よりも、バッファ回路500の駆動能力 の方が遥かに大きい。このためラッチ回路401や位相 50 調整回路402の駆動能力が低くても、バッファ回路500から出力されるサンプリング制御信号X1、X2、…、Xnによって、12個のサンプリングスイッチ302を良好に同時駆動されることとなる。

【0046】〈データ線駆動回路のレイアウト〉ここで、データ線駆動回路101の回路レイアウトについて説明する。図5は、データ線駆動回路101の要部回路についてのレイアウトを示す平面図である。この図においては、配線404を介して供給される位相調整回路402の出力信号が、第1に、バッファ回路500によって波形整形等されて、サンプリング制御信号として出力され、第2に、このサンプリング制御信号にしたがって、12個のサンプリングスイッチ302を駆動制御する構成とともに、12本の画像信号線115に供給される画像信号VID1~VID12が、当該12個のサンプリングスイッチによりサンプリングされて、対応する12本のデータ線6aに供給される構成が示されている。

【0047】また、図5に示されるように、バッファ回路500は、ラッチ回路401や位相調整回路402が形成される領域と、シリアルーパラレル変換された12系統の画像信号VID1~VID12が供給される12本の画像信号線115が形成される領域との間に形成されている。

【0048】 <バッファ回路のレイアウト>次に、バッ ファ回路500の詳細について図6~図8を参照して説 明する。ここで、図6は、バッファ回路500のレイア ウトを示す平面図であり、図7は、図6のレイアウトを 簡略化した回路図であり、図8は、バッファ回路500 の構成を示す等価回路図である。これらの図に示される ように、バッファ回路500では、インバータ501~ 503がデータ線6aの延在方向(Y方向)に3段直列 接続して構成されており、さらに、各段のインバータ5 01~503では、それぞれ7個のインバータが走査線 3 a の延在方向 (X方向) に並列接続して構成されてい る。すなわち、第1段目のインバータ501はインバー タ511~517が、第2段目のインバータ502はイ ンバータ521~527が、第3段目のインバータ50 3はインバータ531~537が、それぞれ並列接続さ れたものである。

【0049】さらに、これらのインバータ $511\sim51$ 7、 $521\sim527$ 、 $531\sim537$ は、いずれもチャネル幅方向がY方向に形成されたPチャネル型TFTおよびNチャネル型TFTを組み合わせた相補型TFTとして構成されている。すなわち、インバータ $511\sim517$ 、 $521\sim527$ 、 $531\sim537$ は、いずれも、引き出し配線601a、602a間において、Pチャネル型TFTおよびNチャネル型TFTが直列接続されている。

【0050】また、これらのTFTのチャネル長は、す

べてにわたって略同一となっている。したがって、バッ ファ回路500を構成するインパータ511~517、 521~527、531~537は、レイアウト的には 3行7列のマトリクス状に配置している。

【0051】ここで、第1段目のインパータ501(イ ンバータ511~517) を構成するTFTのチャネル 幅し1、第2段目のインバータ502(インバータ52 1~527) を構成するTFTのチャネル幅L2、およ び、第3段目のインバータ503(インバータ531~ 537) を構成するTFTのチャネル幅L3は、L1< 10 L2<L3となっている。上述したように、第1段目~ 第3段目のインバータ501~503は、それぞれ同数 (7個)のインバータを並列接続したものであるから、 そのオン抵抗は、チャネル幅で定まることになり、イン バータ501>インバータ502>インバータ503> となっている。

【0052】したがって、バッファ回路500全体で見 れば、入力インピーダンスが高くなる一方、出力インピ ーダンスが低くなる。このため、転送信号を出力するラ ッチ回路401、または、この転送信号のパルス幅を狭 20 める位相調整回路402を構成するTFTサイズが小さ くて済むので、消費電力の大きさが問題視されるシフト レジスタ回路400の低消費電力化が図られる一方で、 多数(12個)のサンプリングスイッチ302を同時に 駆動制御することが良好に行われることとなる。

【0053】一方、高電圧 (Vcc) 配線601および 低電圧(GND)配線602は、それぞれTFT素子ア レイ基板10のX方向にわたって引き通して配設されて いるが、バッファ回路500が形成される領域にあって は、特に図7において太線で示されるように、高電圧配 線601からは引き出し配線601aが、低電圧配線6 02からは引き出し配線602aが、それぞれY方向に 延長配設されるとともに、互いに櫛歯状に対向して形成 されている。

【0054】ここで、X方向に相隣接するインバータ は、一方のチャネル領域を共有して、これが折り返して 連続した形となっているため、1段分のインバータを構 成するTFTのチャネル型は、図6または図7において 左側から順番に、P、N、N、P、P、N、N、…、 P、P、Nとなっている。このため、同一段において相 隣接するインバータ同士は、同一のチャネル領域となる だけでなく、その共有領域に接続される引き出し配線も 共有した構成となっている。例えば、インパータ51 1、512同士は、Nチャネル型とされるチャネル領域 を共有しているだけでなく、その共有領域のうちドレイ ン領域に接続される引き出し配線602aも共有してい る。また、例えば、インバータ522、523同士は、 Pチャネル型とされるチャネル領域を共有しているだけ でなく、その共有領域のうちソース領域に接続される引 き出し配線601aも共有している。すなわち、言うな 50 れば、引き出し配線601aまたは602aを中心とし て左右対称化して各インバータが配列している。

【0055】一方、第1段目のインパータ511~51 7を構成する各TFTにあっては、バルス幅が狭められ た転送信号を供給する配線404が、櫛歯状に延設され てゲート電極となっている。一方、第1段目のインバー タ511~517を構成するPチャネル型TFTのソー ス領域と同Nチャネル型TFTのドレイン領域とに接続 される配線は、コンタクトホールを介してインバータ5 11~517の出力として共通接続されるとともに、櫛 歯状に延設されて、第2段目のインバータ521~52 7を構成する各TFTのゲート電極となっている。同様 に、第2段目のインバータ521~527を構成するP チャネル型TFTのソース領域と同Nチャネル型TFT のドレイン領域とに接続される配線は、コンタクトホー ルを介してインバータ521~527の出力として共通 接続されるとともに、櫛歯状に延設されて、第3段目の インバータ531~537を構成する各TFTのゲート 電板となっている。そして、第3段目のインバータ53 1~537を構成するPチャネル型TFTのソース領域 と同Nチャネル型TFTのドレイン領域とは、コンタク トホールを介してインバータ531~537の出力とし て共通接続されて、これがサンプリング制御信号線11 4となっている。そして、このようなバッファ回路50 0は、図9に示されるように、同時に駆動される12本 のデータ線 6 a の合計幅 (ΔW) と一致するピッチでX 方向に、シフトレジスタ回路400におけるラッチ回路 401に対応して配列している。

【0056】このようなバッファ回路500によれば、 複数個のインバータが並列接続されて1段分のインバー タを構成しているので、通常X方向が長手となる領域が 効率的に利用されるとともに、1段分のインバータによ る駆動能力を向上させることができる。さらに、インバ -タ501~503を構成するTFTのチャネル幅L1 ~L3が段階的に大きくなるので、バッファ回路500 全体で髙負荷に対応でき、同時駆動可能なサンプリング スイッチ302の個数を増やすことが可能となる。

【0057】また、複数並列接続された1段分のインバ ータのうち、X方向に相隣接するインバータでは、Pチ ヤネル領域またはNチャネル領域が共用されているの で、TFT毎にチャネル領域を形成する場合と比較し て、基板領域が効率的に利用されることになる。さら に、共用チャネル領域にあっては、そのドレイン領域ま たはソース領域についても共用されるので、電源配線か らの引き出し配線も共用することができる。

【0058】くわえて、第1段目~第3段目のインバー タ501~503は、いずれも同数(7個)並列接続さ れたインバータからなり、さらに、これらインバータを 構成する相補型TFTは、いずれもチャネル長が略同一 (チャネル幅は、段毎に異なる) であるため、インバー

16

タ511~517、521~527、531~537が、X方向およびY方向にマトリクス状に配列することになる。このため、シフトレジスタ回路400(ラッチ回路401や位相調整回路402)と、複数本の画像信号線115とに挟まれるX方向に長手に延伸する領域において、各インバータを効率良く配置させることができるとともに、Y方向に隣接する相異なる段のインバータ同士において電源配線からの引き出し配線を共用することが容易となる。例えば、インバータ511、521、531において引き出し配線601a、602aを共用10することができる。したがって、本実施形態にあっては、引き出し配線601a、602aは、上述のように以方向に相隣接するインバータ同士のみならず、Y方向に相隣接するインバータ同士のみならず、Y方向に相隣接するインバータ同士でも共用されるので、基板領域が極めて効率良く利用されていることになる。

【0059】さらに、本実施形態にあっては、各インバータを構成するTFTのサイズ調整は、比較的容易に行うことができる。例えば、チャネル長の調整は、1段分において並列接続されるインバータ個数を増減することで可能であるし、チャネル幅の調整は、シフトレジスタ回路400と複数本の画像信号線115との間隔を広狭することで可能である。特に、バッファ回路500の駆動能力を決定付ける最終段インバータのチャネル幅が調整容易であるのは、装置設計上大変有利といえる。しかも、TFTのサイズ調整にかかわらず、X方向には1段分のインバータが複数個並列接続されるから、基板領域の効率的利用とともに駆動能力の向上が図られることとなる。

【0060】なお、上述したバッファ回路500では、インバータの直接段数が3段であったが、これ以外の段 30数として良いのはもちろんである。同様に、上述したバッファ回路500では、1段分のインバータにおける並列個数が7個であったが、これ以外の個数として良いのはもちろんである。

【0061】ところで、サンプリング回路301を構成するサンプリングスイッチ302の具体的な構成例としては、例えば、図10(1)に示されるように、Nチャネル型TFT302aにより構成しても良いし、同図(2)に示されるように、Pチャネル型TFT302bにより構成しても良いし、また、同図(3)に示されるように、両者TFT302a、302bを相補型として構成しても良い。なお、図3に示される構成にあっては、図10(1)に示されるNチャネル型TFT302aを用いた場合を想定しているので、Pチャネル型TFTを用いる場合には、サンプリング制御信号114aに対してレベル反転させたサンプリング制御信号114aに対してレベル反転させたサンプリング制御信号114aに対してレベル反転させたサンプリング制御信号114aに対してレベル反転させたサンプリング制御信号114bを生成する必要があり、さらに、相補型TFTを用いる場合には、サンプリング制御信号114a、114bをそれぞれ供給する信号線も必要となる。

【0062】また、サンプリング回路301を構成する 50

各サンプリングスイッチ302は、製造効率等の観点から好ましくは、画素部におけるTFT30と共通プロセスにより製造されるNチャネル型TFT、または、Pチャネル型TFT、および両者の相補型等から構成される。

【0063】以上説明したように本実施形態によれば、バッファ回路500が、TFTアレイ基板10の領域を効率的に利用するようにレイアウトされているので、液晶装置全体の小型化や同一サイズの装置における画像表示領域の大型化が可能となるだけでなく、高ドット周波数にも対応して、高品位の画像表示が可能となる。

【0064】〈液晶装置の全体構成〉次に、上述した実施形態に係る液晶装置の全体構成について図11および図12を参照して説明する。ここで、図11は、液晶装置100の構成を示す斜視図であり、図12は、図11におけるA-A、線の断面図である。

【0065】これらの図に示されるように、液晶装置100は、画素電極9a等が形成されたガラスや、半導体、石英などからなるTFTアレイ基板10と、対向電極23等が形成されたガラスなどの透明な対向基板20とが、スペーサSPの混入されたシール材52によって一定の間隙を保って、互いに電極形成面が対向するように貼り合わせられるとともに、この間隙に電気光学材料としての液晶50が封入された構造となっている。なお、シール材52は、対向基板20の周辺に沿って形成されるが、液晶50を封入するために一部が開口している。このため、液晶50の封入後に、その開口部分が封止材SRによって封止されている。

【0066】ここで、TFTアレイ基板10の対向面で あって、シール材52の外側一辺においては、上述した データ線駆動回路101やサンプリング回路301 (図 11および図12では省略)が形成されて、Y方向に延 在するデータ線6aを駆動する構成となっている。さら に、この一辺には複数の外部回路接続端子102が形成 されて、外部回路によってシリアルーパラレル変換され た画像信号VID1~VID12などの各種信号を入力 する構成となっている。また、この一辺に隣接する2辺 には、2個の走査線駆動回路104が形成されて、X方 向に延在する走査線3aをそれぞれ両側から駆動する構 成となっている。なお、走査線3aに供給される走査信 号の遅延が問題にならないのであれば、走査線駆動回路 104を片側1個だけに形成する構成でも良い。ほか に、TFTアレイ基板10においては、データ線6aへ の画像信号の書込負荷を低減するため、各データ線 6 a を、画像信号のサンプリングに先行するタイミングにお いて、所定電位にプリチャージするプリチャージ回路を 形成しても良い。

【0067】一方、対向基板の対向電極23は、貼合部分における4隅のうち、少なくとも1箇所において設けられた導通材によって、TFTアレイ基板10との電気

的導通が図られている。ほかに、対向基板20には、液晶装置100の用途に応じて、例えば、第1に、ストライプ状や、モザイク状、トライアングル状等に配列したカラーフィルタが設けられ、第2に、例えば、クロムやニッケルなどの金属材料や、カーボンやチタンなどをフォトレジストに分散した樹脂ブラックなどの遮光膜が設けられる。なお、色光変調の用途の場合には、カラーフィルタは形成されずに遮光膜が対向基板20に設けられる。また、必要に応じて液晶装置10に光を照射するバックライトが、いずれか一方の基板の背面側に設けられる。

【0068】くわえて、TFTアレイ基板10および対向基板20の対向面には、それぞれ所定の方向にラビング処理された配向膜(図示省略)などが設けられる一方、その各背面側には配向方向に応じた偏光板(図示省略)がそれぞれ設けられる。ただし、液晶50として、高分子中に微小粒として分散させた高分子分散型液晶を用いれば、前述の配向膜や偏光板などが不要となる結果、光利用効率が高まるので、高輝度化や低消費電力化などの点において有利である。

【0069】なお、駆動回路200等の周辺回路の一部または全部を、TFTアレイ基板10に形成する替わりに、例えば、TAB (Tape Automated Bonding)技術を用いてフィルムに実装された駆動用ICチップを、TFTアレイ基板10の所定位置に設けられる異方性導電フィルムを介して電気的および機械的に接続する構成としても良いし、駆動用ICチップ自体を、COG (Chip 0 n Grass)技術を用いて、TFTアレイ基板10の所定位置に異方性導電フィルムを介して電気的および機械的に接続する構成としても良いが、上述したように、本実 30 施形態に係る液晶装置の効果が最も表れるのは、この駆動回路200をTFTアレイ基板10に形成した場合である。

【0070】<その他>また、実施形態においては、液晶装置を構成するTFTアレイ基板10として、ガラス等の透明な絶縁性基板を用いて、当該基板上にシリコン薄膜を形成するとともに、当該薄膜上にソース、ドレイン、チャネルが形成されたTFTによって、画素のスイッチング素子(TFT30)や駆動回路200を構成するTFTを形成するものとして説明したが、本発明はこれに限られるものではない。

【0071】例えば、TFTアレイ基板10を半導体基板により構成して、当該半導体基板の表面にソース、ドレイン、チャネルが形成された絶縁ゲート型電界効果トランジスタによって、画素のスイッチング素子や駆動回路200の構成素子を形成しても良い。このようにTFTアレイ基板10として半導体基板を用いる場合には、透過型として用いることができないため、画素電極9aをアルミニウムなどで形成して、反射型として用いられることとなる。また、TFTアレイ基板10を透明基板50

として、単に、画素電極9 a にアルミニウムなどで形成 して反射型としても良い。

【0072】さらに、上述した実施形態にあっては、画素のスイッチング素子を、TFTで代表される3端子素子として説明したが、ダイオード等の2端子素子で構成しても良い。ただし、画素のスイッチング素子として2端子素子を用いる場合には、走査線3aを一方の基板に形成し、データ線6aを他方の基板に形成するとともに、2端子素子を、走査線3aまたはデータ線6aのいずれか一方と、画素電極9aとの間に形成する必要がある。この場合、画素は、二端子素子が接続される画素電極9aと、対向基板20に形成される信号線(データ線6aまたは走査線3aの一方)と、これらの間に挟持される液晶50とから構成されることとなる。

【0073】また、アクティブマトリクス型液晶装置に限られず、STN (Super TwistedNematic)液晶などを用いたパッシブ型にも適用可能である。この場合、画素は、電極として作用する走査線3aと、同じく電極として作用するデータ線6aと、これら電極間に挟持される液晶50とから構成されることとなる。

【0074】さらに、電気光学材料としては、液晶のほ かに、エレクトロルミネッセンス素子などを用いて、そ の電気光学効果により表示を行う表示装置に適用可能で ある。すなわち、本発明は、上述した液晶装置と類似の 構成を有するすべての電気光学装置に適用可能である。 【0075】<電子機器>次に、上述した液晶装置を各 種の電子機器に適用される場合について説明する。この 場合、電子機器は、図13に示されるように、主に、表 示情報出力源1000、表示情報処理回路1002、駆 動回路1004、液晶装置100、クロック発生回路1 008並びに電源回路1010を備えて構成されてい る。このうち、表示情報出力源1000は、ROM(Re ad Only Memory)、RAM (Random Access Memory) な どのメモリや、光ディスク装置などのストレージユニッ ト、画像信号を同調して出力する同調回路等を含み、ク ロック発生回路1008からのクロック信号に基づい て、所定フォーマットの画像信号などの表示情報を表示 情報処理回路1002に出力するものである。また、表 示情報処理回路1002は、上述したシリアルーパラレ ル変換回路や、増幅・極性反転回路、ローテーション回 路、ガンマ補正回路、クランプ回路等の周知の各種処理 回路を含んで構成されており、クロック信号に基づいて 入力された表示情報からデジタル信号を順次生成し、ク ロック信号CLKとともに駆動回路1004に出力するも のである。駆動回路1004は、液晶装置100を駆動 するものであり、上述した駆動回路200のほか、製造 後の検査に用いる検査回路などを含んだものである。電 源回路1010は、上述の各回路に所定の電源を供給す るものである。

【0076】次に、上述した液晶装置を具体的な電子機

器に用いた例のいくつかについて説明する。

【0077】 〈その1:プロジェクタ〉まず、この液晶 装置100をライトバルブとして用いたプロジェクタに ついて説明する。図14は、このプロジェクタの構成を 示す平面図である。この図に示されるように、プロジェクタ1100内部には、ハロゲンランプ等の白色光源からなるランプユニット1102が設けられている。この ランプユニット1102から射出された投射光は、内部 に配置された3枚のミラー1106および2枚のダイクロイックミラー1108によってRGBの3原色に分離 10されて、各原色に対応するライトバルブ100R、100Gおよび100Bにそれぞれ導かれる。

【0078】 ここで、ライトバルブ100R、100G および100Bの構成は、上述した液晶装置100と同 様であり、画像信号処理回路(図示省略)から供給され るR、G、Bの原色信号でそれぞれ駆動されるものであ る。また、B色の光は、他のR色やG色と比較すると、 光路が長いので、その損失を防ぐために、入射レンズ1 122、リレーレンズ1123および出射レンズ112 4からなるリレーレンズ系1121を介して導かれる。 【0079】さて、ライトバルブ100R、100G、 100Bによってそれぞれ変調された光は、ダイクロイ ックプリズム1112に3方向から入射される。このダ イクロイックプリズム1112において、R色およびB 色の光は90度に屈折する一方、G色の光は直進する。 したがって、各色の画像が合成される結果、投射レンズ 1114を介して、スクリーン1120にカラー画像が 投射されることとなる。

【0080】なお、ライトバルブ100R、100Gおよび100Bには、ダイクロイックミラー1108によ 30って、R、G、Bの各原色に対応する光が入射するので、上述したようにカラーフィルタを設ける必要はない。

【0081】<その2:モバイル型コンピュータ>次に、この液晶装置を、モバイル型のパーソナルコンピュータに適用した例について説明する。図15は、このパーソナルコンピュータの構成を示す斜視図である。図において、コンピュータ1200は、キーボード1202を備えた本体部1204と、液晶表示ユニット1206とから構成されている。この液晶表示ユニット1206は、先に述べた液晶装置100の背面にバックライトを付加することにより構成されている。

【0082】なお、電子機器としては、図14および図15を参照して説明した他にも、液晶テレビや、ビューファインダ型、モニタ直視型のビデオテープレコーダ、カーナビゲーション装置、ページャ、電子手帳、電卓、ワードプロセッサ、ワークステーション、携帯電話、テレビ電話、POS端末、タッチパネルを備えた機器等などが挙げられる。そして、これらの各種電子機器に対して、実施形態の液晶装置、さらには電気光学装置が適用50

可能なのは言うまでもない。

[0083]

【発明の効果】以上説明したように本発明によれば、駆動回路内蔵型であって、かつ、複数のデータ線を同時駆動する液晶装置等の電気光学装置において、基板領域を効率的に利用して、装置全体を小型化することが可能となる。

【図面の簡単な説明】

【図1】 本発明の実施形態に係る液晶装置を構成する) TFTアレイ基板のうち、画像表示領域の構成を示す等 価回路図である。

【図2】 同液晶装置におけるTFTアレイ基板の構成を示すブロック図である。

【図3】 同液晶装置におけるデータ線駆動回路の詳細 構成を示すブロック図である。

【図4】 同液晶装置におけるデータ線駆動回路の動作 を説明するためのタイミングチャートである。

【図5】 同液晶装置におけるデータ線駆動回路のレイアウトを示す平面図である。

(0 【図6】 同液晶装置におけるバッファ回路のレイアウトを示す平面図である。

【図7】 同液晶装置におけるバッファ回路の詳細構成を示す回路図である。

【図8】 同液晶装置におけるバッファ回路の詳細構成を示すブロック図である。

【図9】 同液晶装置におけるバッファ回路の配置を示すブロック図である。

【図10】 (1) \sim (3) は、それぞれ同液晶装置におけるサンプリング回路のスイッチ構成を示す回路図である。

【図11】 同液晶装置の構造を示す斜視図である。

【図12】 同液晶装置の構造を説明するための一部断面図である。

【図13】 同液晶装置を適用した電子機器の概略構成を示すブロック図である。

【図14】 同液晶装置を適用した電子機器の一例たる プロジェクタの構成を示す断面図である。

【図15】 同液晶装置を適用した電子機器の一例たる パーソナルコンピュータの構成を示す斜視図である。

【符号の説明】

3 a …走査線

3 b …容量線

6 a …データ線

9 a…画素電極

10…TFTアレイ基板

20…対向基板

3 0 ··· T F T

50…液晶

52…シール材

0 70…蓄積容量

101…データ線駆動回路

104…走査線駆動回路

114…サンプリング制御信号線

115…画像信号線

301…サンプリング回路

302…サンプリングスイッチ

400…シフトレジスタ回路

401…ラッチ回路

402…位相調整回路

403…NAND回路

500…バッファ回路

501…インバータ(1段目)

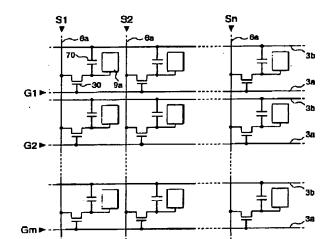
502…インバータ(2段目)

503…インバータ (3段目)

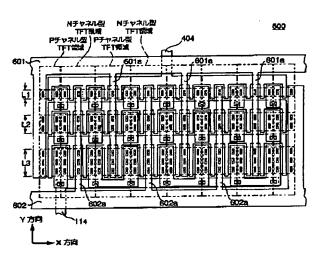
601…高電圧配線

602…低電圧配線

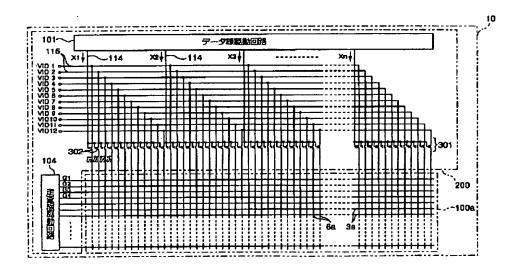
[図1]

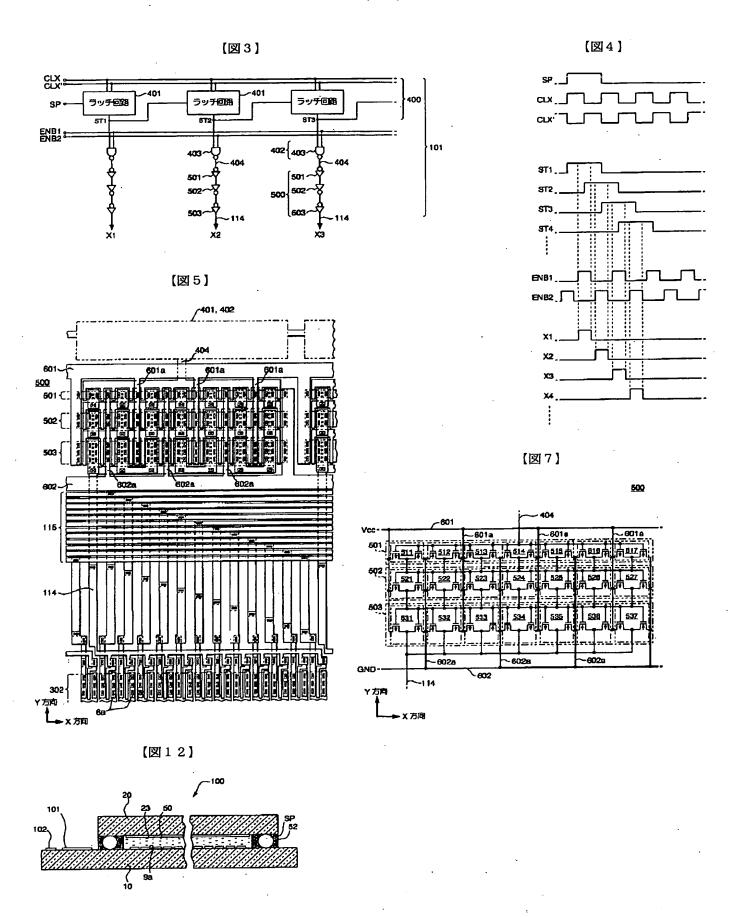


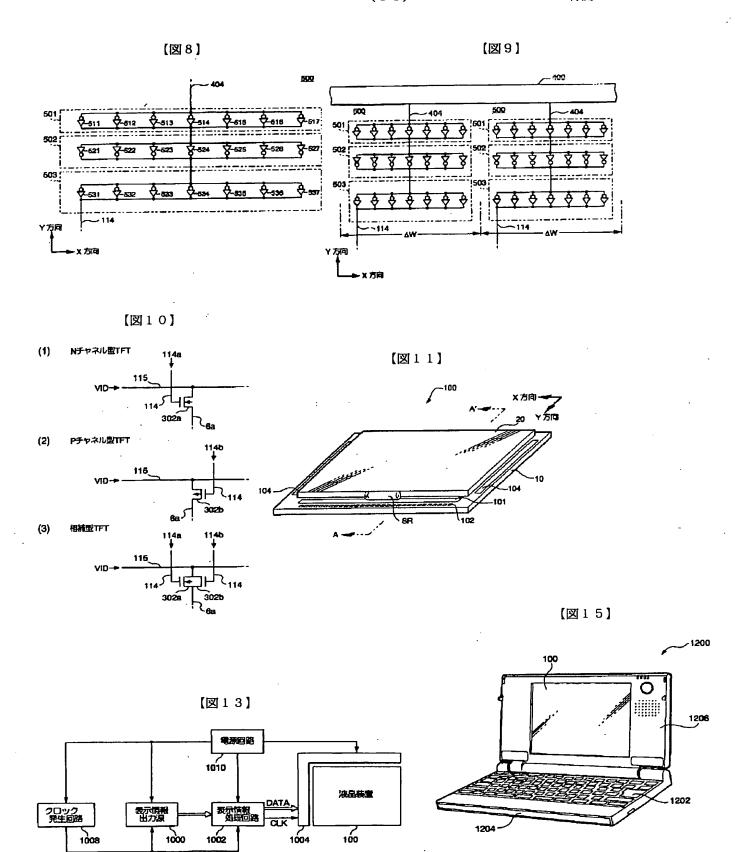
【図6】



【図2】







【図14】

